**Transistor FET**

**JFET dan MOSFET**

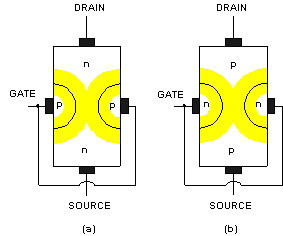
Transistor Bipolar dinamakan demikian karena bekerja dengan 2 (bi) muatan yang berbeda yaitu elektron sebagai pembawa muatan negatif dan hole sebagai pembawa muatan positif. Ada satu jenis transistor lain yang dinamakan FET (*Field Efect Transistor*). Berbeda dengan prinsip kerja transistor bipolar, transistor FET bekerja bergantung dari satu pembawa muatan, apakah itu elektron atau hole. Karena hanya bergantung pada satu pembawa muatan saja, transistor ini disebut komponen unipolar.

Umumnya untuk aplikasi linear,  transistor bipolar lebih disukai, namun transistor FET sering digunakan juga karena memiliki impedansi input (input impedance) yang sangat besar. Terutama jika digunakan sebagai *switch*, FET lebih baik karena resistansi dan disipasi dayanya yang kecil.

Ada dua jenis transistor FET yaitu **JFET (*junction FET*)** dan **MOSFET (*metal-oxide semiconductor FET*)**. Pada dasarnya kedua jenis transistor memiliki prinsip kerja yang sama, namun tetap ada perbedaan yang mendasar pada struktur dan karakteristiknya.

**TRANSISTOR JFET**

Gambar dibawah menunjukkan struktur transistor JFET kanal n dan kanal p. Kanal n dibuat dari bahan semikonduktor tipe n dan kanal p dibuat dari semikonduktor tipe p. Ujung atas dinamakan **Drain** dan ujung bawah dinamakan **Source**. Pada kedua sisi kiri dan kanan terdapat implant semikonduktor yang berbeda tipe. Terminal  kedua sisi implant ini terhubung satu dengan lainnya secara internal dan dinamakan **Gate**.

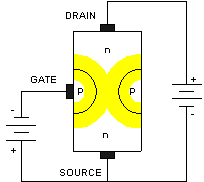


*Struktur JFET (a) kanal-n (b) kanal-p*

Istilah ***field efect* (efek medan listrik)** sendiri berasal dari prinsip kerja transistor ini yang berkenaan dengan **lapisan deplesi (*depletion layer*)**. Lapisan ini terbentuk antara semikonduktor tipe n dan tipe p, karena bergabungnya elektron dan hole di sekitar daerah perbatasan. Sama seperti medan listrik, lapisan deplesi ini bisa membesar atau mengecil tergantung dari tegangan antara gate dengan source. Pada gambar di atas, lapisan deplesi ditunjukkan dengan warna kuning di sisi kiri dan kanan.

**JFET kanal-n**

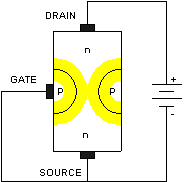
Untuk menjelaskan prinsip kerja transistor JFET lebih jauh akan ditinjau transistor JFET kanal-n. Drain dan Source transistor ini dibuat dengan semikonduktor tipe n dan  Gate dengan tipe p. Gambar berikut menunjukkan bagaimana transistor ini di beri tegangan bias. Tegangan bias antara gate dan source adalah tegangan ***reverse bias*** atau disebut bias negatif. Tegangan bias negatif berarti tegangan gate lebih negatif terhadap source. Perlu catatan, Kedua gate terhubung satu dengan lainnya (tidak tampak dalam gambar).



*Lapisan deplesi jika gate-source diberi bias negatif*

Dari gambar di atas, elektron yang mengalir dari source menuju drain harus melewati lapisan deplesi. Di sini lapisan deplesi berfungsi semacan keran air. Banyaknya elektron yang mengalir dari source menuju drain tergantung dari ketebalan lapisan deplesi. Lapisan deplesi bisa menyempit, melebar atau membuka tergantung dari tegangan gate terhadap source.

Jika gate semakin negatif terhadap source, maka lapisan deplesi akan semakin menebal. Lapisan deplesi bisa saja menutup seluruh kanal transistor bahkan dapat menyentuh drain dan source.  Ketika keadaan ini terjadi, tidak ada arus yang dapat mengalir atau sangat kecil sekali. Jadi jika tegangan gate semakin negatif terhadap source maka semakin kecil arus yang bisa melewati kanal drain dan source.



*Lapisan deplesi pada saat tegangan gate-source = 0 volt*

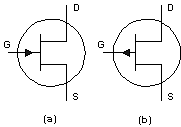
Jika misalnya tegangan gate dari nilai negatif perlahan-lahan dinaikkan sampai sama dengan tegangan Source. Ternyata lapisan deplesi mengecil hingga sampai suatu saat terdapat celah sempit.  Arus elektron mulai mengalir melalui celah sempit ini dan terjadilah konduksi Drain dan Source. Arus yang terjadi pada keadaan ini adalah arus maksimum yang dapat mengalir berapapun tegangan drain terhadap source. Hal ini karena celah lapisan deplesi sudah maksimum tidak bisa lebih lebar lagi. Tegangan gate tidak bisa dinaikkan menjadi positif, karena kalau nilainya positif maka gate-source tidak lain hanya sebagai dioda.

Karena tegangan bias yang negatif, maka arus gate yang disebut **IG** akan sangat kecil sekali. Dapat dimengerti **resistansi input (*input impedance*)** gate akan sangat besar. Impedansi input transistor FET umumnya bisa mencapai satuan MOhm. Sebuah transistor JFET diketahui arus gate 2 nA pada saat tegangan *reverse* gate 4 V, maka dari hukum Ohm dapat dihitung resistansi input transistor ini adalah :

Rin = 4V/2nA = 2000 Mohm

**Simbol JFET**

Untuk mengambarkan JFET  pada skema rangkaian elektronika, bisa dipakai simbol seperti pada gambar di bawah berikut.



*Simbol komponen (a)JFET-n (b)JFET-p*

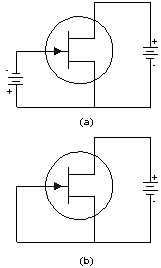
Karena struktur yang sama, terminal drain dan source untuk aplikasi frekuensi rendah dapat dibolak balik. Namun biasanya tidak demikian untuk aplikasi frekuensi tinggi. Umumnya JFET untuk aplikasi frekuensi tinggi memperhitungkan kapasitansi bahan antara gate dengan drain dan juga antara gate dengan source. Dalam pembuatan JFET, umumnya ada perbedaan kapasitansi gate terhadap drain dan antara gate dengan source.

**JFET kanal-p**

Transistor JFET kanal-p memiliki prinsip yang sama dengan JFET kanal-n, hanya saja kanal yang digunakan adalah semikonduktor tipe p. Dengan demikian polaritas tegangan dan arah arus berlawanan jika dibandingkan dengan transistor JFET kanal-n. Simbol rangkaian untuk tipe p juga sama, hanya saja dengan arah panah yang berbeda.

**Kurva Drain**

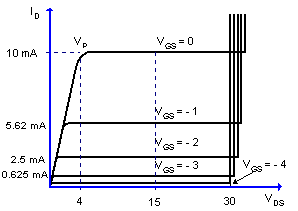
Gambar berikut adalah bagaimana transitor JFET diberi bias. Kali ini digambar dengan menggunakan simbol JFET. Gambar (a) adalah jika diberi bias negatif dan gambar (b) jika gate dan source dihubung singkat.



*Tegangan bias transistor JFET-n*

Jika gate dan source dihubung singkat, maka akan diperoleh arus drain maksimum. Ingat jika **VGS=0** lapisan deplesi kiri dan kanan pada posisi yang hampir membuka. Perhatikan contoh kurva drain pada gambar berikut, yang menunjukkan karakteristik **arus drain ID** dan **tegangan drain-source VDS**. Terlihat arus drain ID tetap (konstan) setelah VDS melewati suatu besar tegangan tertentu yang disebut **Vp**.

Pada keadaan ini (**VGS=0**) celah lapisan deplesi hampir bersingungan dan sedikit membuka. Arus ID bisa konstan karena celah deplesi yang sempit itu mencegah aliran arus ID yang lebih besar. Perumpamaannya sama seperti selang air plastik yang ditekan dengan jari, air yang mengalir juga tidak bisa lebih banyak lagi. Dari sinilah dibuat istilah  ***pinchoff voltage* (tegangan jepit)** dengan simbol **Vp**. Arus ID maksimum ini di sebut **IDSS** yang berarti arus drain-source jika gate dihubung singkat (*shorted gate*). Ini adalah arus maksimum yang bisa dihasilkan oleh suatu transistor JFET dan karakteristik IDSS ini tercantum di datasheet.



*kurva drain IDS terhadap VDS*

 JFET berlaku sebagai sumber arus konstan sampai pada tengangan tertentu yang disebut VDS(max). Tegangan maksimum ini disebut ***breakdown voltage***dimana arus tiba-tiba menjadi tidak terhingga.  Tentu transistor tidaklah dimaksudkan untuk bekerja sampai daerah breakdown. Daerah antara VP dan VDS(max) disebut **daerah active (*active region*)**. Sedangkan 0 volt sampai tegangan Vp disebut **daerah Ohmic (*Ohmic region*)**.

**Daerah Ohmic**

Pada tegangan VDS antara 0 volt sampai tegangan *pinchoff* VP=4 volt, arus ID menaik dengan kemiringan yang tetap. Daerah ini disebut daerah Ohmic. Tentu sudah maklum bahwa daerah Ohmic ini tidak lain adalah resistansi drain-source dan termasuk celah kanal diantara lapisan deplesi. Ketika bekerja pada daerah ohmic, JFET berlaku seperti resistor dan dapat diketahui besar resistansinya adalah :

RDS = Vp/IDSS

RDS disebut *ohmic resistance*, sebagai contoh di dataseet diketahui VP = 4V dan IDSS = 10 mA, maka dapat diketahui :

RDS = 4V/10mA = 400 Ohm

**Tegangan *cutoff* gate**

Dari contoh kurva drain di atas terlihat beberapa garis-garis kurva untuk beberapa   tegangan VGS yang berbeda. Pertama adalah kurva paling atas dimana IDSS=10 mA dan kondisi ini tercapai jika VGS=0 dan perhatikan juga tegangan *pinchoff* VP=4V. Kemudian kurva berikutnya adalah VGS = -1V lalu VGS=-2V dan seterusnya. Jika VGS semakin kecil terlihat arus ID juga semakin kecil.

Perhatikan kurva yang paling bawah dimana VGS=-4V. Pada kurva ternyata arus ID sangat kecil sekali dan hampir nol. Tegangan ini dinamakan tegangan ***cutoff* gate-source (*gate source cutoff voltage*)** yang ditulis sebagai **VGS(off)**. Pada saat ini lapisan deplesi sudah bersingungan satu sama lain, sehingga arus yang bisa melewati kecil sekali atau hampir nol.

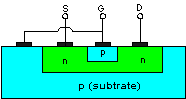
Bukan suatu kebetulan bahwa kenyataannya bahwa VGS(off)=-4V dan VP=4V. Ternyata memang pada saat demikian lapisan deplesi bersentuhan atau hampir bersentuhan.

Maka di datasheet biasanya hanya ada satu besaran yang tertera VGS(off) atau VP. Oleh karena sudah diketahui hubungan persamaan :

VGS(off) = -VP

**Pabrikasi JFET**

Kalau sebelumnya sudah dijelaskan bagaimana struktur JFET secara teoritis, maka gambar berikut adalah bagaimana sebenarnya transistor  JFET-n dibuat.



*Struktur penampang JFET-n*

Transistor JFET-n dibuat di atas satu lempengan semikonduktor tipe-p sebagai **subtrat (*subtrate*)** atau dasar (*base*). Untuk membuat kanal n, di atas subtrat di-implant semikonduktor tipe n yaitu dengan memberikan doping elektron. Kanal-n ini akan menjadi drain dan source. Kemudian di atas kanal-n dibuat implant tipe-p, caranya adalah dengan memberi doping p (*hole*). Implant tipe p ini yang menjadi gate. Gate dan subtrat disambungkan secara internal.

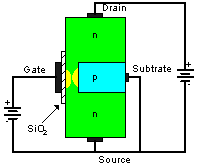
**TRANSISTOR MOSFET**

Mirip seperti JFET, transistor **MOSFET (*Metal oxide* FET)** memiliki drain, source dan gate. Namun perbedaannya gate terisolasi oleh suatu **bahan oksida**. Gate sendiri terbuat dari bahan **metal** seperti aluminium. Oleh karena itulah transistor ini dinamakan *metal-oxide*. Karena gate yang terisolasi, sering jenis transistor ini disebut juga **IGFET** yaitu ***insulated-gate* FET**.

Ada dua jenis MOSFET, yang pertama jenis ***depletion-mode*** dan yang kedua jenis ***enhancement-mode***.  Jenis MOSFET yang kedua adalah komponen utama dari gerbang logika dalam bentuk IC (*integrated circuit*), uC (*micro controller*) dan uP (*micro processor*) yang tidak lain adalah komponen utama dari komputer modern saat ini.

**MOSFET Depletion-mode**

Gambar berikut menunjukkan struktur dari transistor jenis ini. Pada sebuah kanal semikonduktor tipe n terdapat semikonduktor tipe p dengan menyisakan sedikit celah. Dengan demikian diharapkan elektron akan mengalir dari source menuju drain melalui celah sempit ini. Gate terbuat dari metal (seperti aluminium) dan terisolasi oleh bahan oksida tipis **SiO2** yang tidak lain adalah kaca.



*struktur MOSFET depletion-mode*

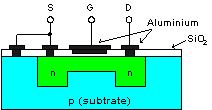
Semikonduktor tipe p di sini disebut subtrat p dan biasanya dihubung singkat dengan source. Ingat seperti pada transistor JFET lapisan deplesi mulai membuka jika VGS = 0.

Dengan menghubung singkat subtrat p dengan   source diharapkan ketebalan lapisan deplesi yang terbentuk antara subtrat dengan kanal adalah maksimum. Sehingga ketebalan lapisan deplesi selanjutnya hanya akan ditentukan oleh tegangan gate terhadap source. Pada gambar, lapisan deplesi yang dimaksud  ditunjukkan pada daerah yang berwarna kuning.

Semakin negatif tegangan gate  terhadap source, akan semakin kecil arus drain yang bisa lewat atau bahkan menjadi 0 pada tegangan negatif tertentu. Karena lapisan deplesi telah menutup kanal. Selanjutnya jika tegangan gate dinaikkan sama dengan tegangan source, arus akan mengalir. Karena lapisan deplesi muali membuka. Sampai di sini prinsip kerja transistor MOSFET *depletion-mode* tidak berbeda dengan transistor JFET.

Karena gate yang terisolasi, tegangan kerja **VGS boleh positif**. Jika VGS semakin positif, arus elektron yang mengalir dapat semakin besar. Di sini letak perbedaannya dengan JFET, transistor MOSFET *depletion-mode* bisa bekerja sampai tegangan gate positif.

**Pabrikasi MOSFET depletion-mode**

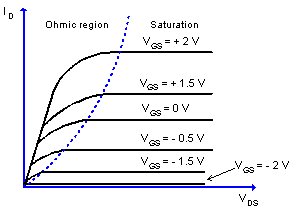


*Penampang D-MOSFET  (depletion-mode)*

Struktur ini adalah penampang MOSFET *depletion-mode* yang dibuat di atas sebuah lempengan semikonduktor tipe p. Implant semikonduktor tipe n dibuat sedemikian rupa sehingga terdapat celah kanal tipe n. Kanal ini menghubungkan drain dengan source dan tepat berada di bawah gate. Gate terbuat dari metal aluminium yang diisolasi dengan lapisan SiO2 (kaca). Dalam beberapa buku, transistor MOSFET *depletion-mode* disebut juga dengan nama **D-MOSFET**.

**Kurva drain MOSFET depeletion mode**

Analisa kurva drain dilakukan dengan mencoba beberapa tegangan gate VGS konstan, lalu dibuat grafik hubungan antara arus drain ID terhadap tegangan VDS.



*Kurva drain transistor MOSFET depletion-mode*

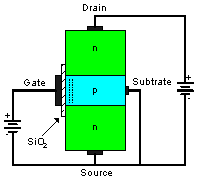
Dari kurva ini terlihat jelas bahwa transistor MOSFET *depletion-mode* dapat bekerja (**ON**) mulai dari tegangan VGS negatif sampai positif. Terdapat dua daerah kerja, yang pertama adalah **daerah ohmic** dimana resistansi drain-source adalah fungsi dari :

RDS(on) =  VDS/IDS

Jika tegangan VGS tetap dan VDS terus dinaikkan, transistor selanjutnya akan berada pada **daerah saturasi**. Jika keadaan ini tercapai, arus IDS adalah konstan. Tentu saja ada tegangan VGS(max), yang diperbolehkan. Karena jika lebih dari tegangan ini akan dapat merusak isolasi gate yang tipis alias merusak transistor itu sendiri.

**MOSFET Enhancement-mode**

Jenis transistor MOSFET yang kedua adalah MOSFET *enhancement-mode*. Transistor ini adalah evolusi jenius berikutnya setelah penemuan MOSFET *depletion-mode*.  Gate terbuat dari metal aluminium dan terisolasi oleh lapisan SiO2 sama seperti transistor MOSFET depletion-mode. **Perbedaan** struktur yang mendasar adalah, subtrat pada transistor MOSFET *enhancement-mode* sekarang dibuat sampai **menyentuh gate**, seperti terlihat pada gambar beritu ini. Lalu bagaimana elektron dapat mengalir ?. Silahkan terus menyimak tulisan berikut ini.



*Struktur MOSFET enhancement-mode*

Gambar atas ini adalah transistor MOSFET *enhancement mode* kanal n. Jika tegangan gate VGS dibuat negatif, tentu saja arus elektron tidak dapat mengalir. Juga ketika VGS=0 ternyata arus belum juga bisa mengalir, karena **tidak ada lapisan deplesi** maupun celah yang bisa dialiri elektron. Satu-satunya jalan adalah dengan memberi tegangan **VGS positif**. Karena subtrat terhubung dengan source, maka jika tegangan gate positif berarti tegangan gate terhadap subtrat juga positif.

Tegangan positif ini akan menyebabkan **elektron tertarik** ke arah subtrat p. Elektron-elektron akan bergabung dengan hole yang ada pada subtrat p. Karena potensial gate lebih positif, maka elektron terlebih dahulu tertarik dan menumpuk di sisi subtrat yang berbatasan dengan gate. Elektron akan terus menumpuk dan tidak dapat mengalir menuju  gate karena terisolasi oleh bahan insulator SiO2 (kaca).

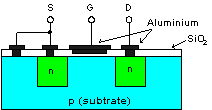
Jika tegangan gate cukup positif, maka tumpukan elektron akan menyebabkan terbentuknya **semacam lapisan n yang negatif** dan seketika itulah arus drain dan source dapat mengalir. Lapisan yang terbentuk ini disebut dengan istilah ***inversion layer***. Kira-kira terjemahannya adalah lapisan dengan tipe yang berbalikan. Di sini karena subtratnya tipe p, maka lapisan *inversion* yang terbentuk adalah bermuatan negatif atau tipe n.

Tentu ada tegangan minimum dimana lapisan *inversion* n mulai terbentuk. **Tegangan minimun** ini disebut tegangan ***threshold* VGS(th)**. Tegangan VGS(th) oleh pabrik pembuat tertera di dalam datasheet.

Di sini letak perbedaan utama prinsip kerja transitor MOSFET *enhancement-mode* dibandingkan dengan JFET. Jika pada tegangan VGS = 0 , transistor JFET sudah bekerja atau ON, maka transistor MOSFET enhancement-mode masih OFF. Dikatakan bahwa JFET adalah komponen **normally ON** dan MOSFET adalah komponen **normally OFF**.

**Pabrikasi MOSFET enhancement-mode**

Transistor MOSFET *enhacement mode* dalam beberapa literatur disebut juga dengan nama **E-MOSFET**.

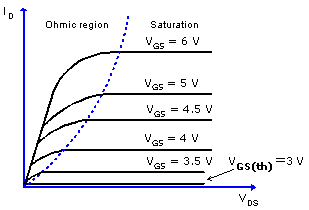


*Penampang E-MOSFET (enhancement-mode)*

Gambar diatas adalah bagaimana transistor MOSFET *enhancement-mode* dibuat. Sama seperti MOSFET *depletion-mode*, tetapi perbedaannya disini tidak ada kanal yang menghubungkan drain dengan source. Kanal n akan terbentuk (*enhanced)* dengan memberi tegangan VGS diatas tegangan *threshold* tertentu. Inilah struktur transistor yang paling banyak di terapkan dalam IC digital.

**Kurva Drain MOSFET enhacement-mode**

Mirip seperti kurva D-MOSFET, kurva drain transistor E-MOSFET adalah seperti yang ditunjukkan pada gambar berikut. Namun di sini VGS semua bernilai positif. Garis kurva paling bawah adalah garis kurva dimana transistor mulai ON. Tegangan VGS pada garis kurva ini disebut tegangan threshold VGS(th).

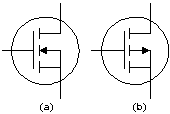


*Kurva drain E-MOSFET*

Karena transistor MOSFET umumnya digunakan sebagai saklar (*switch*),  parameter yang penting pada transistor E-MOSFET adalah resistansi drain-source. Biasanya yang tercantum pada datasheet adalah resistansi pada saat transistor ON. Resistansi ini dinamakan RDS(on). Besar resistansi bervariasi mulai dari 0.3 Ohm sampai puluhan Ohm. Untuk aplikasi *power switching*, semakin kecil resistansi RDS(on) maka semakin baik transistor tersebut. Karena akan memperkecil rugi-rugi disipasi daya dalam bentuk panas. Juga penting diketahui parameter arus drain maksimum **ID(max)** dan disipasi daya maksimum **PD(max)**.

**Simbol transistor MOSFET**

Garis putus-putus pada simbol transistor MOSFET menunjukkan struktur transistor yang terdiri drain, source dan subtrat serta gate yang terisolasi. Arah panah pada subtrat menunjukkan type lapisan yang terbentuk pada subtrat ketika transistor ON sekaligus menunjukkan type kanal transistor tersebut.

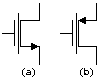


Simbol MOSFET, (a) kanal-n (b) kanal-p

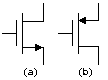
Kedua simbol di atas dapat digunakan untuk mengambarkan D-MOSFET maupun E-MOSFET.

**NMOS dan PMOS**

Transistor MOSFET dalam berbagai referensi disingkat dengan nama transistor **MOS**. Dua jenis tipe n atau p dibedakan dengan nama **NMOS** dan **PMOS**. Simbol untuk menggambarkan MOS tipe depletion-mode dibedakan dengan tipe enhancement-mode. Pembedaan ini perlu untuk rangkaian-rangkaian rumit yang terdiri dari kedua jenis transistor tersebut.

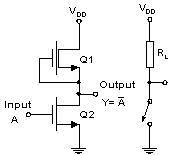


*Simbol transistor (a)NMOS (b)PMOS tipe depletion mode*



*Simbol transistor (a)NMOS (b)PMOS tipe enhancement mode*

Transistor MOS adalah tipe transistor yang paling banyak dipakai untuk membuat rangkaian gerbang logika.  Ratusan bahkan ribuan **gerbang logika** dirangkai di dalam sebuah IC (*integrated circuit*) menjadi komponen yang canggih seperti mikrokontroler dan mikroposesor. Contoh gerbang logika yang paling dasar adalah sebuah **inverter**.

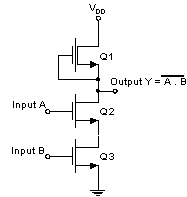


*Gerbang NOT Inverter MOS*

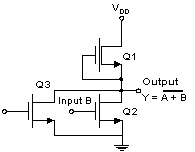
Gerbang inverter MOS di atas terdiri dari 2 buah transistor Q1 dan Q2. Transistor Q1 adalah transistor NMOS *depletion-mode* yang pada rangkaian ini berlaku sebagai beban RL untuk transistor Q2. Seperti yang sudah dimaklumi, beban RL ini tidak lain adalah resistansi RDS(on) dari transistor Q1.  Transistor Q2 adalah transistor NMOS *enhancement-mode*.  Di sini transistor Q2 berfungsi sebagai saklar (*switch*) yang bisa membuka atau menutup (ON/OFF). Transistor ON atau OFF tergantung dari tegangan input.

Jika tegangan input A = 0 volt (logik 0), maka saklar Q2 membuka dan tegangan output Y = VDD (logik 1). Dan sebaliknya jika input A = VDD (logik 1) maka saklar menutup dan tegangan output Y = 0 volt (logik 0). Inverter ini tidak lain adalah **gerbang NOT**, dimana keadaan output adalah kebalikan dari input.

Gerbang dasar lainnya dalah seperti gerbang **NAND** dan **NOR**. Contoh diagram berikut adalah gerbang NAND dan NOR yang memiliki dua input A dan B.



*Gerbang NAND transistor MOS*



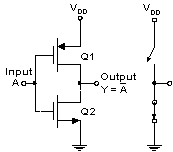
*Gerbang NOR transistor MOS*

Bagaimana caranya membuat gerbang AND dan OR. Tentu saja bisa dengan menambahkan sebuah inverter di depan gerbang NAND dan NOR.

**Transistor CMOS**

**CMOS** adalah evolusi dari komponen digital yang paling banyak digunakan karena memiliki karakteristik konsumsi daya  yang sangat kecil. CMOS adalah singkatan dari ***Complementary MOS***, yang strukturnya terdiri dari dua jenis transistor PMOS dan NMOS. Keduanya adalah transistor **MOS  tipe enhacement-mode**.

Inverter gerbang NOT dengan struktur CMOS adalah seperti gambar yang berikut ini.  Beban RL yang sebelumnya menggunakan transistor NMOS tipe depletion-mode, digantikan oleh transistor PMOS enhancement-mode.



Gerbang NOT inverter CMOS

Namun disini Q1 bukan sebagai beban, tetapi kedua transistor berfungsi sebagai *complementrary switch* yang bekerja bergantian. Jika input 0 (*low*)  maka transistor Q1 menutup dan sebaliknya Q2 membuka, sehingga keluaran tersambung ke VDD (*high*). Sebaliknya jika input 1 (*high*) maka transistor Q1 akan membuka dan Q2 menutup, sehingga keluaran terhubung dengan ground 0 volt (*low*).

**Penutup**

Transistor FET termasuk perangkat yang disebut *voltage-controlled device* yang mana tegangan masukan (input) mengatur arus keluaran (output). Pada transistor FET, besar tegangan gate-source (VGS) menentukan jumlah arus yang dapat mengalir antara drain dan source.

Transistor MOSFET yang dikenal dengan sebutan transistor MOS umumnya gampang rusak. Ada kalanya karena tegangan gate  yang melebihi tegangan VGS(max). Karena lapisan oksida yang amat tipis, transistor MOS **rentan terhadap tegangan statik (*static voltage*)** yang bisa mencapai ribuan volt. Untuk itulah biasanya MOS dalam bentuk transistor maupun IC selalu dikemas menggunakan **anti static**.Terminal atau kaki-kakinya di hubung singkat untuk menghindari tegangan statik ini. Transistor MOS yang mahal karena RDS(on) yang kecil, biasanya dilengkapi dengan zener didalamnya. Zener diantara gate dan source ini berfungsi sebagai proteksi tegangan yang berlebih. Walapun zener ini sebenarnya akan menurunkan impedansi input gate, namun cukup seimbang antara performance dan harganya itu.